

## METHOD FOR DETECTING MISALIGNMENT OF TWO MASKING STEPS IN MANUFACTURE OF SEMICONDUCTOR DEVICE

**Publication number:** JP2000012459

**Publication date:** 2000-01-14

**Inventor:** MULLER KARL PAUL; PRAKASH  
VENTAKATACHALAM C; GOULD CHRISTOPHER J

**Applicant:** SIEMENS AG; IBM

**Classification:**





- international: **H01L21/027; G03F7/20; G03F9/00; H01L21/02;  
G03F7/20; G03F9/00; (IPC1-7): H01L21/027; G03F9/00**

- European: **G03F7/20T22**

**Application number:** JP19990167094 19990614

**Priority number(s):** US19980097784 19980615

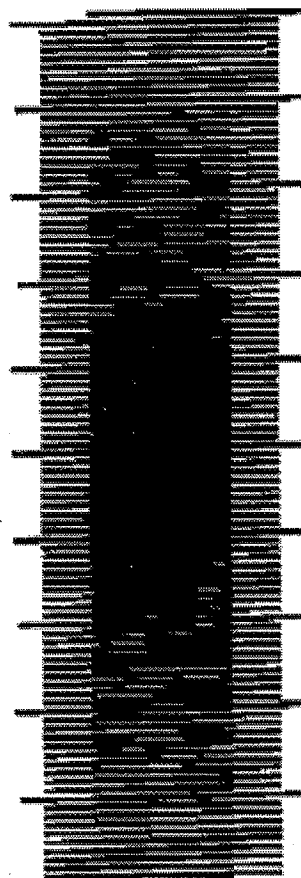
**Also published as:**

 EP0965889 (A2)  
 US6150231 (A1)  
 EP0965889 (A3)  
 CN1239322 (A)

[Report a data error here](#)

### Abstract of **JP2000012459**

**PROBLEM TO BE SOLVED:** To detect mask misalignment by comparing a moire pattern which is optically observed with a moire pattern which is relevant to allowable alignment between two masks. **SOLUTION:** When two patterns are superposed each other, a repetition pattern which generates a moire pattern being a scale of the degree of misalignment between the two patterns is provided in each of two masks used in two masking steps. Each mask is used one by one and is put one upon another on a surface of a treated semiconductor wafer for printing a pattern of a mark of two masks. Then, a moire pattern formed by two pattern of a mark is optically observed. A known moire pattern which defines the range of allowable misalignment between two masks is compared with an observed moire pattern and it is judged whether or not the continuous treatment of the wafer is proper.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-12459  
(P2000-12459A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 21/027

H 0 1 L 21/30

5 2 2 Z

G 0 3 F 9/00

G 0 3 F 9/00

H

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平11-167094

(22) 出願日 平成11年6月14日 (1999.6.14)

(31) 優先権主張番号 09/097784

(32) 優先日 平成10年6月15日 (1998.6.15)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESSEL  
LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘ  
ン ヴィッテルスバッハーブラッツ 2

(74) 代理人 100061815

弁理士 矢野 敏雄 (外2名)

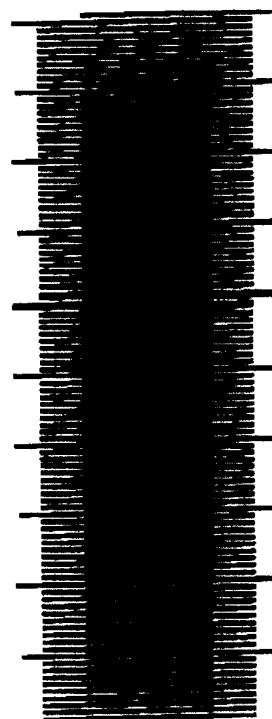
最終頁に続く

(54) 【発明の名称】 半導体デバイスの製造における2つのマスキングステップのミスアライメントを検出するための方法

(57) 【要約】

【課題】 マスクミスアライメントを検出するための新たな技術を提供し、とりわけ0.25ミクロン以下のフィーチャサイズを含むデバイスの製造において使用することである。

【解決手段】 上記課題は、相互に重畳した場合には2つのマスクの間のミスアライメントの程度の尺度であるモアレパターンを発生するマークの繰り返しパターンを2つのマスクの各々に含めるステップと、2つのマスクを使用して、処理されている半導体ウェハの表面に相互に重畳される2つのマスクのマークのパターンを形成するステップと、モアレパターンを光学的に観察するステップと、観察されたモアレパターンと許容可能なアライメントに相応するモアレパターンとを比較するステップとを含むことによって解決される。



## 【特許請求の範囲】

【請求項 1】 半導体デバイスの製造における 2 つのマスキングステップのミスアライメントを検出するための方法において、該方法は以下のステップを含む、すなわち、

相互に重畳した場合には 2 つのマスクの間のミスアライメントの程度の尺度であるモアレパターンを発生するマークの繰り返しパターンを、前記マスキングステップのために使用される前記 2 つのマスクの各々に含めるステップと、

前記モアレパターンを発生するために、前記 2 つのマスクを使用して、処理されている半導体ウェハの表面に相互に重畳される前記 2 つのマスクのマークのパターンを形成するステップと、

発生された前記モアレパターンを光学的に観察するステップと、

観察された前記モアレパターンと前記 2 つのマスクの間の許容可能なアライメントに相応するモアレパターンとを比較するステップとを含む、半導体デバイスの製造における 2 つのマスキングステップのミスアライメントを検出するための方法。

【請求項 2】 2 つのマスクの繰り返しパターンは、2 つのパターンにおいてライン及びスペースの幅だけが異なる複数の前記ライン及びスペースを含む、請求項 1 記載の方法。

【請求項 3】 各パターンのライン及びスペースの幅は均一であり、2 つのパターンのライン及びスペースの幅には均一な差を設ける、請求項 2 記載の方法。

【請求項 4】 2 つのマスクの各々におけるマークのパターンは均一な正方形のチェス盤パターンであり、2 つの前記パターンにおける前記正方形のサイズは規定された大きさだけ異なる、請求項 1 記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体デバイスの製造における 2 つのマスキングステップのミスアライメントを検出するための方法に関する。

## 【0002】

【従来の技術】 大抵の半導体デバイス、とりわけ集積回路デバイスの製造においては、処理の多くがウェハスケールで行われる。このような製造において比較的大きなウェハ、例えば直径 12 インチのウェハは、特定の集積回路デバイスを規定する異なる導電率タイプの様々な領域及び組み合わされた接続を形成するために一連のステップで処理される。これらが形成された後で、このウェハは賽の目に切られて多数のチップとなり、これらチップの各々が集積回路を含む。形成された集積回路すべてが実質的に特性において均一であることが望ましい。

【0003】 一般的にはこのようなデバイスの製造は一連の処理ステップを含み、これらの一連の処理ステップ

のうちの多くはマスクによって制御される。これらマスクはウェハの上部表面に設けられ、処理ステップの効果をウェハの特定領域に局所化する。とりわけウェハに形成される全ての集積回路の間の所望の均一性を達成すべき場合には、このようなマスクを相互に適正にアライメントして、処理される領域のロケーションの必要な精度を達成することは重要である。

【0004】 処理の連続的なステップにおいて使用されるマスクの所望のアライメントを達成するために、通常は、マスク上の特別なマーク又は識別印を使用してウェハの端部に一致チェックマーク (conforming marks) をプリントし、このようなウェハマークをアライメント目的のために重要な重畳測定 (overlay measurement) に使用する。

【0005】 さらに、重要なことは、処理の早期に重大なミスアライメントを検出し、これにより後続の処理の前に適時補正を加えることができることである。

【0006】 今日、ミスアライメント検出のための測定方法は、アライメントマークとしてウェハにエッチングされた異なるサイズのボックスを、大抵の場合は正方形又は方形のボックスを使用し、さらにミスアライメントを検出するために互いに異なるサイズの複数のボックスを使用する。この方法は、ボックスの形状及びボックスを規定するのに使用されるラインの幅における可能な非対称性とこれらのラインを直接測定できるためにこれらのラインが十分な長さ及び幅を持つ必要性ととの両方によって制限される。このような制限は、0.25 ミクロン又はこれ以下のフィーチャサイズ (feature size) を含む最新の集積回路デバイスで使用される場合にはこのボックス方法を相対的に無効化してしまう。

## 【0007】

【発明が解決しようとする課題】 本発明の課題は、マスクミスアライメントを検出するための新たな技術を提供し、とりわけ 0.25 ミクロン以下のフィーチャサイズを含むデバイスの製造において使用することである。

## 【0008】

【課題を解決するための手段】 上記課題は、相互に重畳した場合には 2 つのマスクの間のミスアライメントの程度の尺度であるモアレパターンを発生するマークの繰り返しパターンをマスキングステップのために使用される 2 つのマスクの各々に含めるステップと、モアレパターンを発生するために、2 つのマスクを使用して、処理されている半導体ウェハの表面に相互に重畳される 2 つのマスクのマークのパターンを形成するステップと、発生されたモアレパターンを光学的に観察するステップと、観察されたモアレパターンと 2 つのマスクの間の許容可能なアライメントに相応するモアレパターンとを比較するステップとを含む、半導体デバイスの製造における 2 つのマスキングステップのミスアライメントを検出するための方法によって解決される。

## 【0009】

【発明の実施の形態】本発明は、半導体デバイス製造において異なるレイヤレベルにプリントされる2つの異なるマスクパターン間のミスアライメントの尺度を提供するモアレパターンを使用することに基づいている。モアレパターンは、近接してスペースをおいて配置されたラインの2つのパターンの、典型的にはほんの僅かに異なる2つの繰り返しパターンの相互の重疊が観察される場合に形成される特徴的なパターンである。このモアレパターンの構造及びロケーションは、2つのライン/スペース繰り返しパターンのミスアライメントの程度の尺度を提供できる。

【0010】本発明によれば、2つの別個のマスキングステップのミスアライメントを検出するために半導体デバイスの製造において使用される方法は次の通りである。2つのパターンが互いに重疊した場合にはこれら2つのパターン間のミスアライメントの程度の尺度であるモアレパターンを発生するようなマークの繰り返しパターンを2つのマスキングステップに使用される2つのマスクの各々に設ける。各マスクを順番に使用して、処理されている半導体ウェハの表面に相互に重ねて2つのマスクのマークのパターンをプリントする。次いでマークの2つのパターンにより形成されたモアレパターンを光学的に観察する。2つのマスク間の許容可能なミスアライメント範囲を定義する既知のモアレパターンと観察されたモアレパターンとを比較し、このウェハの連続処理が正当であるかどうかを判定する。

【0011】より簡潔に言えば、本発明は半導体デバイスの製造における2つのマスキングステップのミスアライメントを検出するための方法を指向する。この方法は、相互に重疊した場合には2つのマスクの間のミスアライメントの程度の尺度であるモアレパターンを発生するマークの繰り返しパターンをマスキングステップのために使用される2つのマスクの各々に含めるステップと、モアレパターンを発生するために、2つのマスクを使用して、処理されている半導体ウェハの表面に相互に重疊される2つのマスクのマークのパターンを形成するステップと、発生されたモアレパターンを光学的に観察するステップと、観察されたモアレパターンと2つのマスクの間の許容可能なアライメントに相応するモアレパターンとを比較するステップとを含む。

## 【0012】

【実施例】本発明を以下に図面に基づいて詳しく説明する。

【0013】図1には、各々210マイクロメートル幅の100個の直線及びスペースの繰り返しアライメントパターンが示されている。この繰り返しアライメントパターンの長さ42マイクロメートルに亘って延在している。本発明の実施例において、このようなアライメントパターンは、制御されている2つの処理において使用さ

れる2つのマスクのうちの第1のマスク上に形成される。次いで、ラインのこの繰り返しパターンは今度はシリコンウェハにおける処理の効果を定めるのに使用されるフォトリソに形成される。有利にはこの繰り返しパターンはウェハの端部領域（カーフ）にエッチングされる。

【0014】その後で使用される第2のマスクに類似のライン/スペースの繰り返しパターンが設けられる。ただし、この第2のマスクに設けられる類似の繰り返しパターンは、図2に示されているように各ライン及びスペースの幅が図1に比べて1%だけ増大している直線及びスペースの繰り返しパターンであり、すなわちこのライン及びスペースの幅は僅かながら広くされている。この第2のライン/スペースの繰り返しパターンはシリコン上に既にエッチングされたライン/スペースパターンの上に重疊される。この際、この第2のパターンの第1のラインは既にシリコンにエッチングされたパターンの第1のラインに合わせられる。大抵の場合、第2の処理を制御するためのフォトリソは最初にシリコンウェハと第2のマスクとの間に設けられる。次いで、この第2のライン/スペースパターンはフォトリソにおいて効果的にエッチングされ、図1のパターンの上に図2のライン/スペースパターンが重疊される。

【0015】図3に示されているようなモアレパターンによって証明されるライン/スペースパターンの2つの第1のラインの正確なアライメントは、通常このライン/スペースパターンのラインに対して少なくとも垂直な方向においてこれら2つのマスクによって与えられるマスキングパターンの所望の精密なアライメントを保証する。

【0016】しかし、第2のマスクの不正確なアライメントは、図4又は図5のいずれかに示されているようなモアレパターンによって証明される。この場合、第2のマスク及びこの第2のマスクのフォトリソが除去され、新しいフォトリソが再び位置定めされたマスクによって再びパターン化されて、先の結果にかんがみてこのミスアライメントを補正する。

【0017】特に、図4に示されているように、図2のパターンが105ナノメートル左へミスアライメントされた場合、真っ黒なブロックが図3の場合よりも10.5マイクロメートルの距離だけ右に発生する。これは、図1のパターンよりも図2のパターンが1%拡大されていることによって決定されるファクタ100によるミスアライメントの増幅を表している。さらに105ナノメートル左へとミスアライメントを付加すると、真っ黒なブロックはモアレパターンの右側端部に形成され、第2の黒いブロックがこのモアレパターンの左側端部に形成される。これは図5に示されている。

【0018】有利には、様々なミスアライメントに相応する一連の較正モアレパターンを形成し、次いで実際の

モアレパターンを検査してこれら実際のモアレパターンが許容可能なミスアライメントを表す較正モアレパターンに相応するかどうかを調べることによって、本発明は最も良好に使用される。

【0019】大抵の場合、形成されたモアレパターンは光学的に観察され、視覚的に比較される。ただし、自動的に検査するようにシステムを構成することができる。

【0020】様々な感度の検査パターンがライン及びスペースの幅及び/又はこれらの幅の差を変化させることによって構成される。幅の差が小さくなればなるほど、大抵の場合、適用するのがますます困難になるが、検査はますますセンシティブになる。

【0021】従って、モアレパターンを発生するために使用される2つのパターンのパラメータを適当に選択することによって所望の感度又は増幅度が一般的に得られる。この方法は、水平方向又は垂直方向のミスアライメントを検査するのに使用できる。さらに、2つのパターンに対して僅かにサイズの異なる正方形のチェス盤パターンを使用することによって、垂直方向及び水平方向の両方におけるミスアライメントの測定が実施できる。ミスアライメントの程度が異なれば、異なるモアレパターンが生じる。このモアレパターンのうちの典型的なものを図6に示す。

【0022】ここに記述した特定の方法は単に本発明の一般的な原理の例である。様々な変形実施形態が本発明\*

\*の精神によって可能である。例えば曲がったライン及びスペースの繰り返しパターン又は他のライン及びスペースの繰り返しパターンを使用することにより本発明の変形実施形態が可能である。

【図面の簡単な説明】

【図1】等幅の100個の平行な直線及びスペースの繰り返しパターンを示している。

【図2】各ライン及びスペースは図1に比べて幅が1%だけ増加している直線及びスペースの類似の繰り返しパターンを示している。

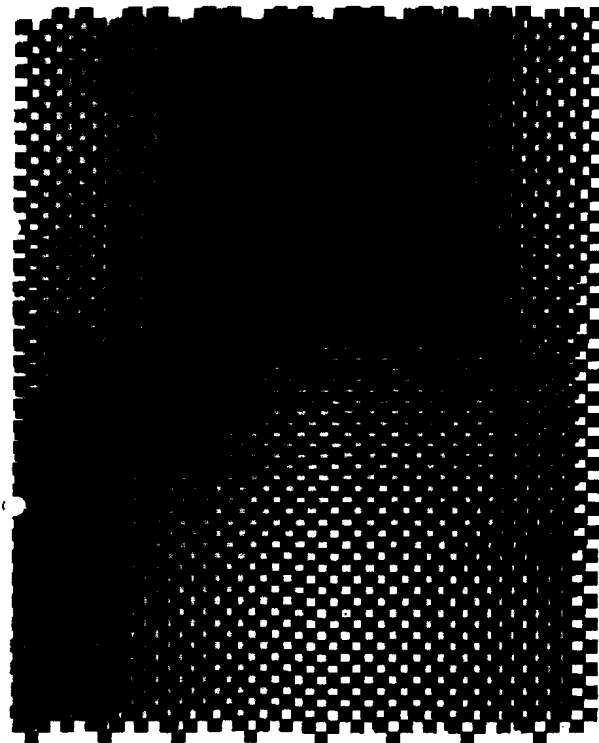
【図3】各パターンの左側の第1のラインがアライメントされる場合に図2のパターンが図1のパターンの上に重畳することによって得られるモアレパターンを示している。

【図4】図2のパターンの第1のラインが第1の量だけ左へシフトされた場合に図2のパターンが図1のパターンの上に重畳することによって得られるモアレパターンを示している。

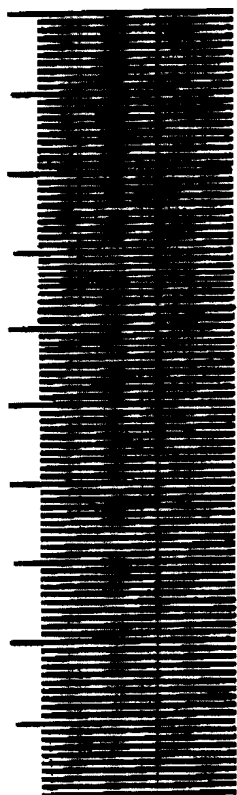
【図5】図4に示されているシフト量の2倍の量だけ図2のパターンの第1のラインが左へシフトされた場合に、同じタイプの重畳によって得られるモアレパターンを示している。

【図6】2次元アライメントに使用するためのチェス盤パターンによる典型的なモアレパターンを示している。

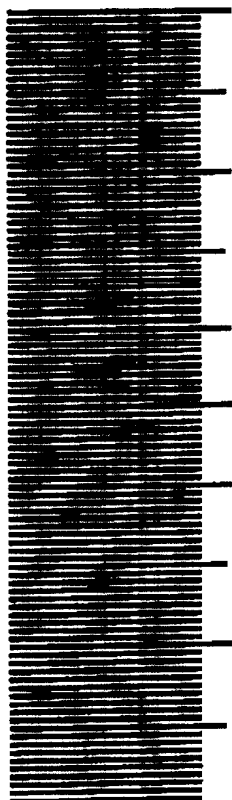
【図6】



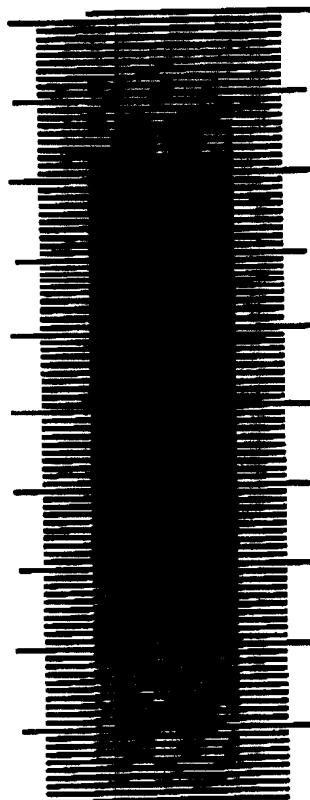
【図 1】



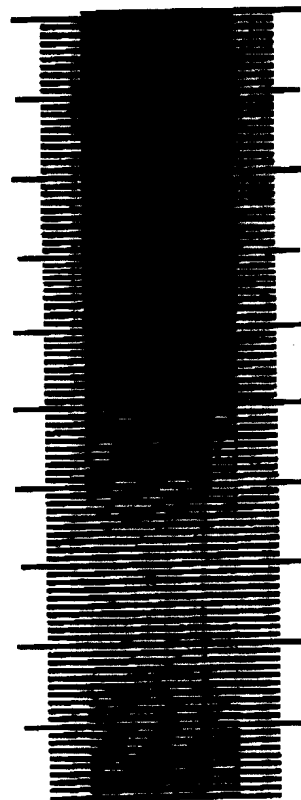
【図 2】



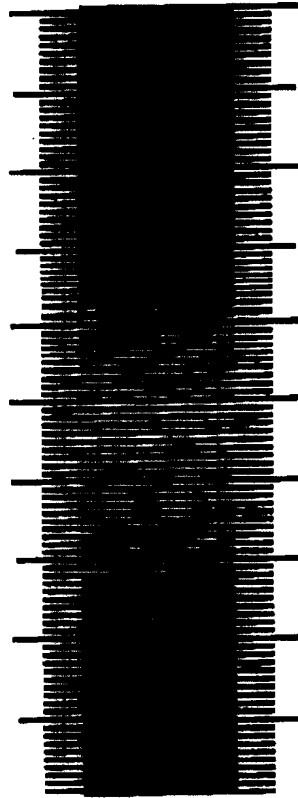
【図 3】



【図 4】



【図5】



フロントページの続き

(71)出願人 594145404  
 インターナショナル ビジネス マシーン  
 ズ コーポレーション  
 アメリカ合衆国ニューヨーク州 10504  
 ニューヨーク アーモンク オールド オ  
 ーチャード ロード (番地なし)

(72)発明者 カール パウル ミュラー  
 アメリカ合衆国 ニューヨーク ワッピン  
 ガーズ フォールズ ブラザーズ ロード  
 89

(72)発明者 ヴェンタカタチャラン シー ブラカッシ  
 ュ  
 アメリカ合衆国 ニューヨーク ビーコン  
 ハドソン ヴュー ドライヴ 39シー

(72)発明者 クリストファー ジェイ ゴールド  
 アメリカ合衆国 ニューヨーク スタンフ  
 オードヴィル ヒックス ヒル ロード  
 386